

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-335329

(43)公開日 平成5年(1993)12月17日

(51)IntCl⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/331

29/73

27/12

S

7377-4M

H 0 1 L 29/ 72

審査請求 未請求 請求項の数3(全 7 頁)

(21)出願番号

特願平4-163922

(22)出願日

平成4年(1992)5月29日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 榊原 清彦

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内

(74)代理人 弁理士 早瀬 憲一

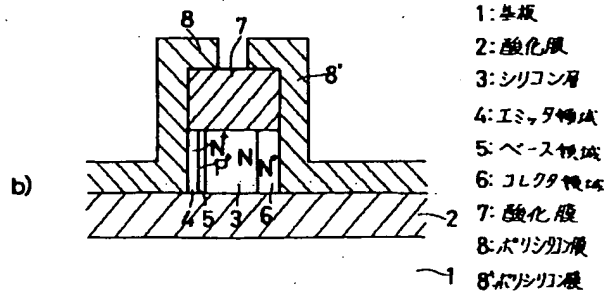
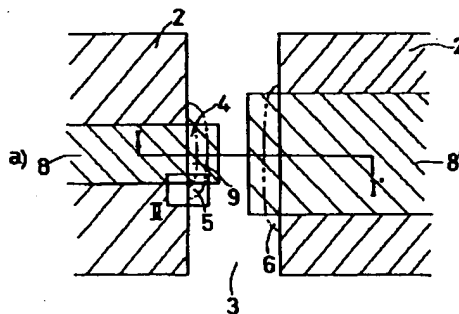
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 SOI基板上に高性能なバイポーラトランジスタを形成する。

【構成】 SOI基板の表面Si層3に、下部の酸化膜層2にまで達するトレンチ溝9を設け、このトレンチ溝9の側壁にエミッタ領域4を、これを覆うようにベース領域5を形成するようにした。

【効果】 ベース巾が均一で、かつエミッタ・ベース間の不必要な接合容量の増加を抑えたバイポーラトランジスタが得られる。



【特許請求の範囲】

【請求項1】 SOI (Silicon on Insulator) 基板上に形成されるバイポーラトランジスタ半導体装置において、

表面のSi層に下部の酸化膜層にまで達するトレンチ溝が形成され、

このトレンチ溝の側壁にエミッタ領域が、これを側面から囲むように領域が設けられていることを特徴とする半導体装置。

【請求項2】 請求項1記載のバイポーラトランジスタを製造する方法において、

表面のSi層に下部の酸化膜層にまで達するトレンチ溝を設ける工程と、

上記Si層のトレンチ溝の側壁に、これに密着する導電膜層を形成する工程と、

上記導電膜層より上記Si層のトレンチ側壁に不純物イオンを拡散させてベース領域及びエミッタ領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載のバイポーラトランジスタを製造する方法において、

表面のSi層に下部の酸化膜層にまで達するトレンチ溝を設ける工程と、

上記Si層のトレンチ溝の側壁に、これに密着する導電膜層を形成する工程と、

上記導電膜層よりベース領域を形成する第1導電型の不純物イオンを、上記Si層のトレンチ側壁に拡散させる工程と、

上記導電膜層を複数の領域に分割する工程と、

該分割した導電膜層のうち、エミッタ電極となる導電膜層より上記Si層のトレンチ溝の側壁にエミッタ領域を形成する第2導電型の不純物イオンを拡散させる工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、SOI (Silicon on Insulator) 構造におけるバイポーラTr構造の半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】近年、SOI 構造でMOS型トランジスタを用いた半導体装置の開発が盛んである。SOI 構造を用いた場合には、3次元素子化による集積度の向上、および高機能化チップの作製が可能となる。また個々のMOSTランジスタにおいてもこれを動作させるためには、基板を空乏化させてこの動作を行わせるため、ショートチャネル効果を抑制できるなどのメリットが確認されている。しかしながら、ここでより一層の高速度性やより一層の高駆動能力を求めた場合、MOS型トランジスタでは限界があり、バイポーラ型トランジスタを構成す

【0003】一般にバルクSiを用いた半導体装置では、バイポーラトランジスタは縦型構造のものが利用されている(図4(b)参照)。これはこのバイポーラトランジスタではベース巾WBを制御性よく薄く形成することが可能であり、またエミッタ(E)22・ベース(B)21間の接合面積を、ほぼ能動領域の大きさにとどめることができるため、高速度性や高hFE(電流増幅率)などの高性能化が可能である。

【0004】これに対し、横型のもものでは、図4(a)に示したように、たとえベース巾WBを制御性よく形成することができたとしても、実効的な能動領域(図4(a)で実線矢印にて電流パスを記す)に対し、エミッタ(E)19・ベース(B)17間での動作に寄与しない余分な接合面積が、縦型構造のものに比べて増大し、このため、接合容量Cjnが大きくなり、これは高速駆動に対し大いに不利となった。さらに、図4(a)において点線矢印で示すような、斜め分布の電流成分も、その動作に大きく関与することとなり、縦型のものに比べてその性能がかなり低下することとなる。

【0005】なお、この図4(a)において、18は横型バイポーラトランジスタのコレクタ(C)領域、図4(b)において、20はn型のバルクシリコン基板、23は縦型バイポーラトランジスタのコレクタ(C)領域である。

【0006】

【発明が解決しようとする課題】ところで、上述のようにSOI 基板にバイポーラトランジスタを構成することを考えると、SOI 構造では、酸化膜上のSi層が0.1 μ m~0.5 μ mと一般に薄いため、バルクSiを用いた場合のように、縦型のバイポーラトランジスタを作成することは困難である。

【0007】また、横型構造を採用した場合、図5(a)、(b)に示すように、たとえ基板深部での接合容量Cjnの増加がSi層をすべて接合化することによって抑えられたとしても、接合周辺での容量Cjnpの増加や、周辺部での斜め電流成分(破線矢印にて記す)の発生といった、バルクSiと同様の欠点が存在し、高性能なバイポーラトランジスタを得ることは困難であった。

【0008】なお、この図5(a)、(b)において、1はSOI 基板を構成する絶縁物の基板、2は基板1上に形成された酸化膜、4、5、6は酸化膜2上のSi層に形成された横型バイポーラトランジスタのエミッタ領域、ベース領域、コレクタ領域である。

【0009】この発明は上記のような問題点を解消するためになされたもので、SOI 構造において、高性能なバイポーラトランジスタ構造よりなる半導体装置を提供し、さらにこの構造の実現に適した半導体装置の製造方法を提供することを目的とする。

【0010】

置は、SOI構造において、表面のSi層にその下層の酸化膜層にまで達するトレンチ溝を形成し、かつこのトレンチ溝の側壁にエミッタ領域を、これを側面から囲むようにベース領域を設けたものである。

【0011】また、この発明にかかる半導体装置の製造方法は、SOI構造において、Si層にその下層の酸化膜層にまで達するトレンチ溝を設ける工程と、上記トレンチ溝の側壁にこれに密着するポリシリコン膜を堆積する工程と、このポリシリコン層よりSi層に不純物イオンを拡散させてエミッタ及びベース領域を形成する工程とを含むものである。

【0012】さらに、この発明にかかる半導体装置の製造方法は、上記製造方法において、Si層のトレンチ溝側壁に密着したポリシリコン膜より、まずベース領域を形成する導電型の不純物イオンをSi層に拡散させ、次に上記ポリシリコン膜を複数領域に分割し、次にエミッタとなるべき領域に接するポリシリコン膜にエミッタを形成する導電型の不純物イオンを注入し、次に再度ポリシリコン膜より上記Si層に不純物イオンを拡散させてエミッタ領域を形成するようにしたものである。

【0013】

【作用】この発明における半導体装置は、SOI構造において、表面のSi層にその下部の酸化膜層にまで達するトレンチ溝が形成され、かつこのトレンチ溝の側壁にエミッタ領域を、これを側面から囲むようにベース領域を設けた構造としたので、エミッタ・ベース間の不必要な接合容量の増加を抑えることができ、さらに実効的な動作領域以外での電流成分の発生を抑えることができる。

【0014】また、この発明の製造方法では、SOI構造において、Si層にその下層の酸化膜層にまで達するトレンチ溝を設ける工程と、上記トレンチ溝の側壁に密着するポリシリコン膜を堆積する工程と、このポリシリコン層よりSi層に不純物イオンを拡散させてエミッタ及びベース領域を形成させる工程とを備えたので、ベース巾の様な接合を得ることができる。

【0015】さらに、この発明の他の製造方法では、Si層のトレンチ溝側壁に密着したポリシリコン膜より、まずベース領域を形成する導電型の不純物イオンをSi層に拡散させてベース領域を形成し、次に上記ポリシリコン膜を複数領域に分割し、エミッタとなるべき領域に接するポリシリコン膜にエミッタを形成する導電型の不純物イオンを注入し、再度該ポリシリコン膜よりSi層に不純物イオンを拡散させてエミッタ領域を形成するようにしたので、ベース領域近傍でトレンチ溝に沿ってベース電極を設けてベース電位を固定することが可能となり、より安定した動作を保障することができる。

【0016】

【実施例】実施例1. 図1は本発明の一実施例による半導体装置を示したものである。図1(a)は本実施例の平

である。これらの図において、1はSOI基板を構成する絶縁物の基板、2は該基板1上に形成された酸化膜、3は該酸化膜2上のシリコン層、4はシリコン層3に形成されたトレンチ溝の内側に設けられたエミッタ領域、5はその外側に形成されたベース領域、6はシリコン層3に形成されたトレンチ溝内に設けられたコレクタ領域、7はシリコン層3、エミッタ領域4、ベース領域5およびコレクタ領域6上に形成された酸化膜、8、8'はポリシリコン膜であり、ポリシリコン膜8は酸化膜2上、エミッタ領域4の側壁、酸化膜7の側壁および酸化膜7上の一部を覆うように形成され、ポリシリコン膜8'は酸化膜2上、コレクタ領域6の側壁、酸化膜7の側壁および酸化膜7上の一部を覆うように形成され、かつこのポリシリコン膜8、8'は酸化膜7上で相互に接触しないように形成されている。

【0017】次に、図1(a)、(b)を用いて本発明の請求項1の発明について説明する。本発明の請求項1の発明では、SOI構造においてシリコン層3に下部酸化膜2にまで達するトレンチ溝9が設けられ、そのトレンチ溝9側壁にエミッタ領域4が設けられている。このようにすると、エミッタ領域4をベース領域5で完全に囲むことができ、実効的なバイポーラ動作領域以外の接合面積を大幅に減らすことができる。即ち、このような構造の場合、横型バイポーラトランジスタでありながら、トレンチ側壁に対して縦型バイポーラトランジスタを形成しているのと等価になり、実効的なバイポーラ動作領域以外の接合面積はほとんどないこととなる。

【0018】ところで、図1(b)の断面図に示されるように、Si層3の上部には酸化膜7を比較的厚い膜厚で形成している。これはエミッタ電極となっているポリシリコン8が、Si層3上部表面でエミッタ・ベース領域4、5とオーバーラップしている部分でこのSi層、酸化膜、ポリシリコンの3者によりMOS動作が起こることがないようにするためである。

【0019】また、上記図1(a)、図1(b)から明らかなように、本発明の請求項1の発明の構造において高性能なものを得るためには、エミッタ領域の接合をほぼ均一な巾とした状態で均一な幅のベース領域を形成する必要がある。

【0020】実施例2. 本発明の請求項2の発明はこの要求を満たすようにするためのものであり、図2(a)～(f)を用いてこの請求項2の発明について説明する。まず、基板1、酸化膜2、Si層3からなるSOI基板を用意し(図2(a))、そのSi層3表面に酸化膜7を設け、レジスト24をマスクとして用いてトレンチ溝9を掘る(図2(b))。ここで、酸化膜7はSi層3を熱酸化して形成した熱酸化膜でもよいし、またこれはデポジションにより形成してもよい。ただし、この酸化膜7は、上述のように、ベース領域5でのMOS動作を妨げる程

【0021】次に、トレンチ溝9の側壁(7と3からなる)に密着してポリシリコン膜8(8')をパターンニングする(図2(c))。

【0022】次にこのポリシリコン膜8(8')に、エミッタ(コレクタ)を形成する導電型の不純物イオンAs+を注入する(図2(d))。

【0023】続いて、レジスト24をマスクとしてエミッタ電極となるポリシリコン膜8にのみ、ベース領域を形成する導電型の不純物イオン、この場合B+を注入する(図2(e))。

【0024】この後に、ランプアニールを行うことなどにより、ポリシリコン膜8からトレンチ側壁(7, 3)に不純物イオンAs+およびB+を拡散させるとともに、これを活性化させてベース領域5およびエミッタ領域4を形成する。

【0025】またこのランプアニールを行うことなどにより、ポリシリコン膜8'からトレンチ側壁(7, 3)に不純物イオンAs+を拡散させるとともに、これを活性化させてコレクタ領域6を形成する。

【0026】図2に示す上記実施例では、npn型トランジスタの例を示しているの、n型領域(エミッタ、コレクタ)にはヒ素、p型領域(ベース)にはボロンを注入している。このように、不純物イオンを選べば、Siでの拡散係数はボロンの方がヒ素に比べて大きいため、エミッタ領域のn層4は、図2(f)に示すように、完全にベースのp層5で覆うことができる。また、これらの不純物は側壁から一様に拡散されるため、ベース巾WBは均一となる。この均一性を良くする目的に鑑み、トレンチ溝9側壁はできるだけ下部酸化膜層2に対し垂直に形成することが望ましい。

【0027】この後にポリシリコン膜8、エミッタ領域4上を覆う領域を酸化膜で枠付けし、ベース領域5上の部分からコンタクトを開口してベース領域5と接触するベース電極を設けるようにすれば、横型バイポーラトランジスタが得られる。しかしこのベース電極を設ける場合に若干注意を要する。以下、この点につき、図1の実線IIで囲まれた領域を示す図3(a), (b)を用いて説明する。

【0028】本発明の請求項2の発明によると、ポリシリコン膜8から拡散したボロンとヒ素の接合の拡がり、は、Siへの拡散係数の差のみにより形成される。従って、このベース接合の部分(図3(a)のベース領域5のトレンチ側壁と接する部分の巾)にベース電極を設けることはサイズの困難であろうと考えられ、図3(a)に示すようにSi層3のトレンチ側壁に前記ポリシリコン膜8をマスクとして用いてp型イオンを注入し、これを拡散させることによってベースのp+領域を拡げる

(5')が必要であると考えられる(図3(a)において、5はポリシリコン膜8からの拡散によるベース領域、

い、ベース接合を拡げたものを示す)。

【0029】但し、ここでこのp+注入によりエミッタのn+領域4が補償(n型イオンがp型イオンにより減少)され、エミッタ電極となるポリシリコン膜8のエッジ近傍ではn型領域4が一部p反転する。ここで、もし図3(b)に示すように、n+領域4がエミッタ電極8がトレンチ側壁に接している領域にまで後退した場合、エミッタ電極8がベース領域5とショートしてしまうこととなる。

10 【0030】本発明の請求項3の発明はこのような不具合を解消するためになされたものであり、トレンチ側壁に沿ってベース領域近傍でベース電極を設け、ベース電位を低抵抗にて安定してとれるようにしたものである。

【0031】実施例3. 以下、図6(a)~(g)を用いて、この発明の請求項3の発明である製造方法について説明する。

【0032】まず、本発明の請求項2の発明にて説明したのと同様に、シリコン層3と酸化膜7の側壁にトレンチ溝を形成する(図6(a)の断面図、図6(b)の平面図)。

【0033】次にエミッタ、コレクタとなる領域にトレンチ側壁に密着してポリシリコン電極30, 30'を形成する(図6(c))。

【0034】次にこれらポリシリコン電極30にp型イオンであるボロン、ポリシリコン電極30'にn型イオンであるヒ素を注入し、ランプアニールなどにより、これらポリシリコン電極30, 30'から不純物イオンB+, As+をシリコン層3に拡散させ、かつ活性化させ、ベース部5、コレクタ部6を作成する(図6(d))。

30 【0035】次に、エミッタ側のポリシリコン電極を、ベース電極30とエミッタ電極30"とにパターンニングする(図6(e))。

【0036】次にこの分割したポリシリコン電極群のうち、エミッタ電極30"となる領域にのみエミッタとなるヒ素、及びベース幅を確保するために必要であればベースとなるボロンを注入する。図6(f)の領域31はこの注入の際のレジスト開口部を示している。

【0037】この後に、再度ランプアニールを行うことにより、エミッタ電極30"よりn型のヒ素、p型のボロンを拡散させ、活性化させてエミッタ領域4、ベース領域5を形成することにより、バイポーラトランジスタを得ることができる(図6(g))。

【0038】このような、本実施例の方法によれば、後工程でイオン注入を行うことなく、ベース電極30の形成が可能であり、エミッタ30"電極のベースとのショートを抑えることができる。また、ベース電極30はトレンチ側壁に沿ってエミッタ接合4、ベース接合5近傍で設けることが可能なため、ベース電位を低抵抗にて安定してとることが可能である。

【発明の効果】以上のように、この発明にかかる半導体装置によれば、SOI構造において、表面のSi層に下部の酸化膜層にまで達するトレンチ溝を形成し、かつこのトレンチ溝の側壁にエミッタ領域を設けた構造としたので、エミッタ・ベース間の不必要な接合容量の増加を抑えることができ、さらに実効的能動領域以外での電流成分の発生を抑えることのできる横型バイポーラトランジスタが得られる。

【0040】また、この発明にかかる製造方法によれば、SOI構造において、Si基板に下層の酸化膜層にまで達するトレンチ溝を設ける工程と、上記トレンチ溝の側壁に密着するポリシリコン膜を堆積する工程と、このポリシリコン層よりSi層に不純物イオンを拡散させてエミッタ及びベース領域を形成させる工程とを備え、トレンチ溝側壁に密着したポリシリコン膜よりエミッタ・ベースを形成する不純物イオンをSi層に拡散させるようにしたため、均一なベース巾の横型バイポーラトランジスタを得ることができる。

【0041】さらに、この発明の製造方法によれば、エミッタ・ベースとなるべき領域にポリシリコン膜を形成し、これよりベースと同じ導電型の不純物イオンを拡散させ、さらにこのポリシリコン膜をエミッタ・ベース電極にそれぞれ分割したのち、エミッタ電極にエミッタ形成に必要な不純物イオンを注入し、再度シリコン層にこの不純物イオンを拡散させるようにしたので、エミッタ電極のベースとのショートを防ぎ、低抵抗にベース電極を設けることができる。

【図面の簡単な説明】

【図1】請求項1の発明の一実施例による半導体装置を示す図。

【図2】請求項2の発明の一実施例による半導体装置の製造方法を示す図。

【図3】請求項1の発明の一実施例による半導体装置において、ベース電極を形成する際の不具合を示す図。

【図4】従来のバイポーラトランジスタの簡単な構造図。

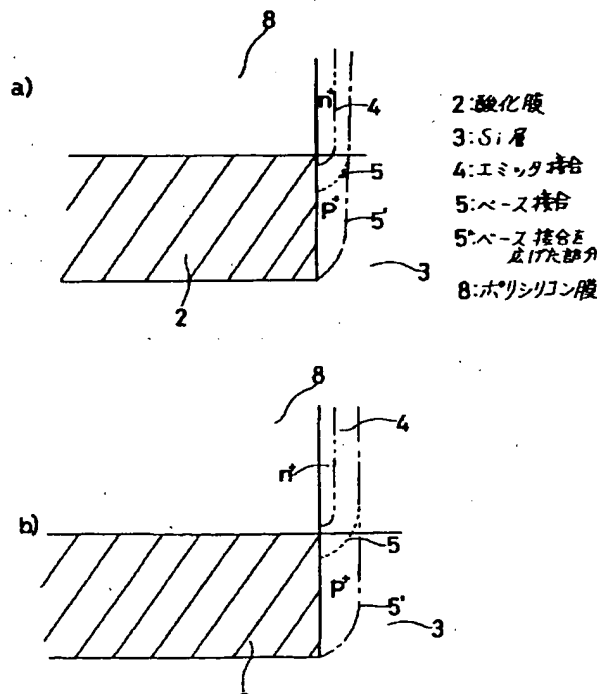
【図5】SOI構造の横型バイポーラトランジスタの構造図。

【図6】請求項3の発明の一実施例による半導体装置の製造方法を示す図。

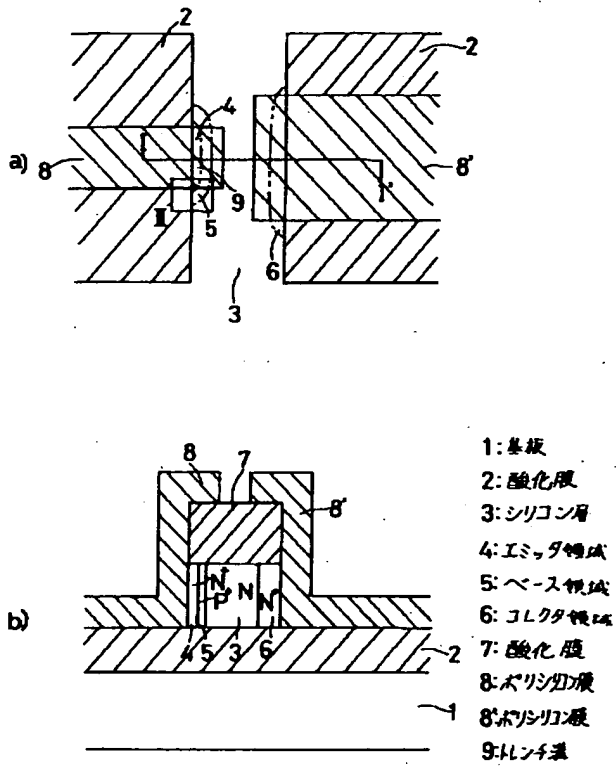
【符号の説明】

- | | |
|----|--------|
| 1 | 基板 |
| 2 | 酸化膜 |
| 3 | Si層 |
| 4 | エミッタ領域 |
| 5 | ベース領域 |
| 6 | コレクタ領域 |
| 7 | 酸化膜 |
| 8 | エミッタ電極 |
| 17 | ベース領域 |
| 18 | コレクタ領域 |
| 19 | エミッタ領域 |
| 21 | ベース領域 |
| 22 | エミッタ領域 |
| 23 | コレクタ領域 |

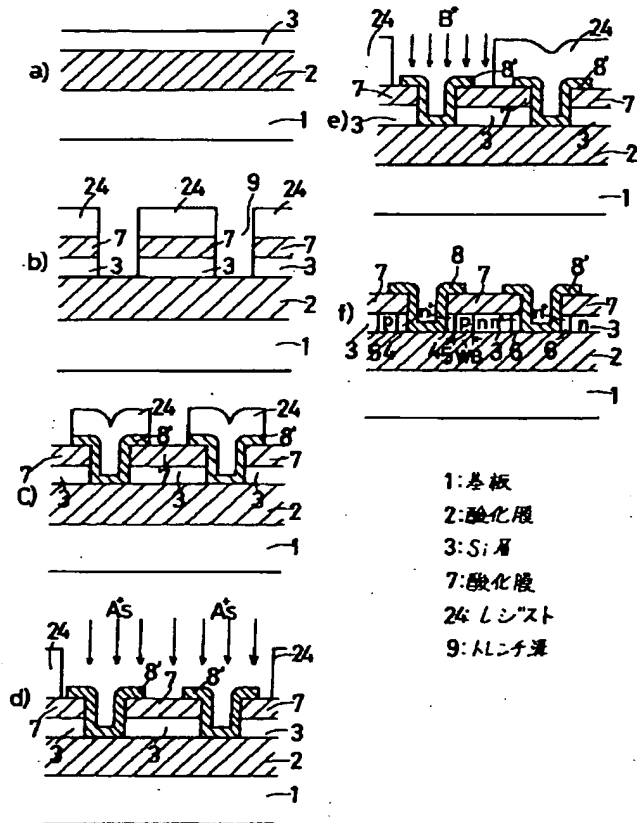
【図3】



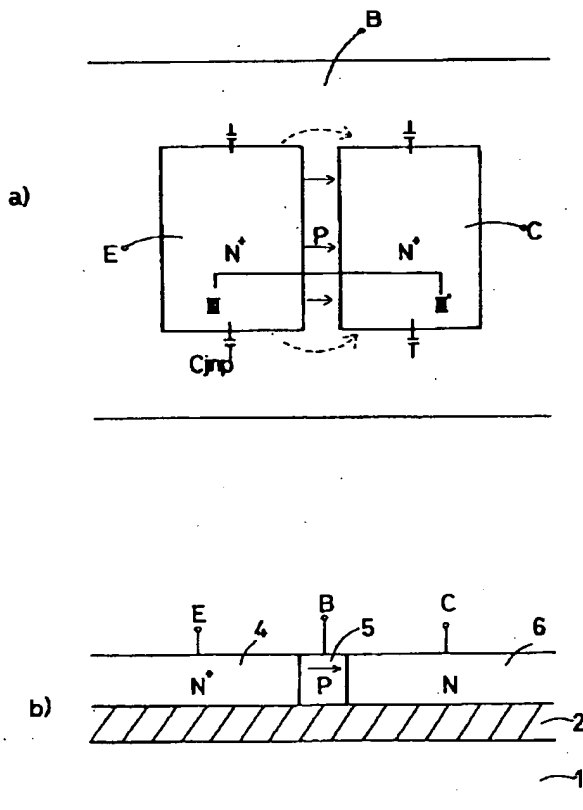
【図1】



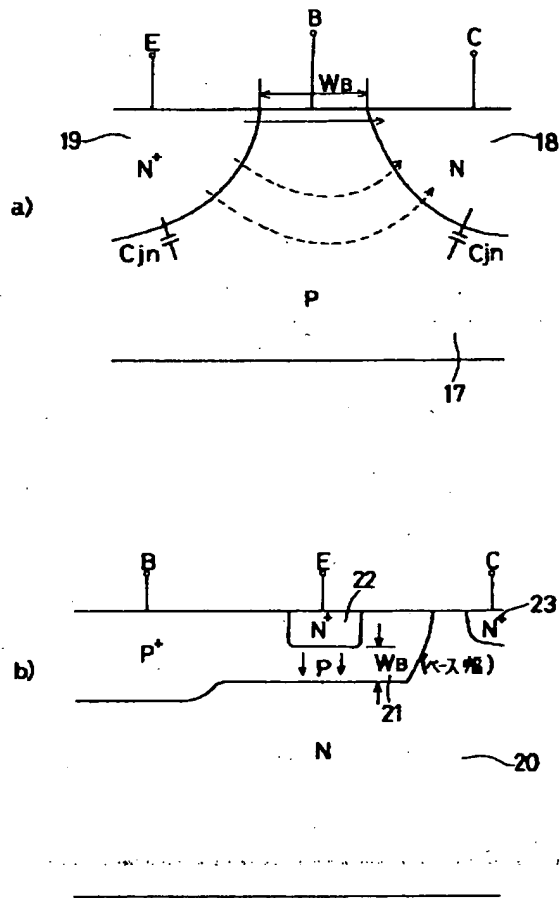
【図2】



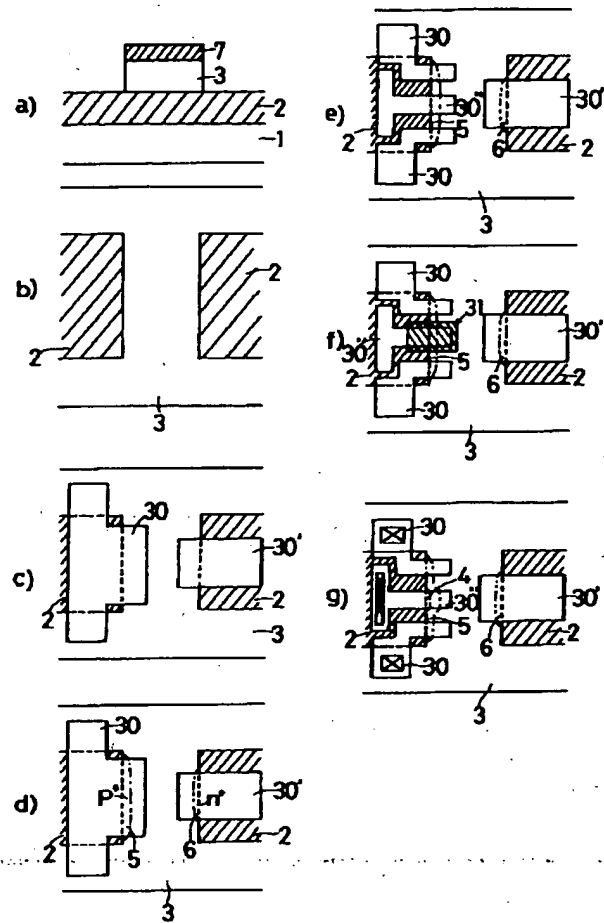
【図5】



【図4】



【図6】



CLIPPEDIMAGE= JP405335329A

PAT-NO: JP405335329A

DOCUMENT-IDENTIFIER: JP 05335329 A

TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUBN-DATE: December 17, 1993

INVENTOR-INFORMATION:

NAME

SAKAKIBARA, KIYOHICO

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP04163922

APPL-DATE: May 29, 1992

INT-CL_(IPC): H01L021/331; H01L029/73 ; H01L027/12

ABSTRACT:

PURPOSE: To provide a high performance bipolar transistor structure by forming

a trench groove on a surface Si layer extending as far as the oxide film layer

below it, forming an emitter area on the side wall of that trench groove, and

also forming a base area which surrounds it in its side direction.

CONSTITUTION: In an SOI structure, a trench groove 9 which extends as far as a

lower oxide film 2 is provided on a silicon layer 3, and the side wall of that

trench groove 9 is provided with an emitter area 4. As a result, the emitter

area 4 is completely surrounded by a base area 5, so, the joining area other

than the effective bipolar operation area is significantly reduced. In other

words, this structure, being a horizontal bipolar transistor, is equivalent to

a vertical bipolar transistor formed with respect to the trench side wall, and

so there is little, if any, joining area other than the effective bipolar

operation region. As a result, unnecessary increase in joining capacity

between the emitter and the base can be suppressed.